

CLIPPEDIMAGE= JP406112447A
PAT-NO: JP406112447A
DOCUMENT-IDENTIFIER: JP 06112447 A
TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: April 22, 1994

INVENTOR-INFORMATION:
NAME
MIZUNO, MASAO
KUSAKA, SHINYA

ASSIGNEE-INFORMATION:
NAME COUNTRY
SEIKO EPSON CORP N/A

APPL-NO: JP04328589
APPL-DATE: November 13, 1992

INT-CL_(IPC): H01L027/118
US-CL-CURRENT: 257/369

ABSTRACT:

PURPOSE: To contrive an increase in the integration of fundamental cells, which are arranged on a substrate in the form of matrix, and an increase in the reliability of the fundampental cells in a gate array formed using a CMOS semiconductor.

CONSTITUTION: P-type source regions 2 and N-type drain regions 5 are formed on a substrate, P-channel and N-channel MOS transistors are respectively formed at parts, which cross the regions 2 and 5, of a polysilicon wiring 3 and fundamental cell rows are constituted. A plurality of wiring layers 3, 7, 7a, 7b and 9 are provided over the fundamental cell rows and the lowest wiring layer of the wiring layers is used as the wiring 3 which is connected to the regions 2 and 5 and a gate electrode via contact holes 6.

COPYRIGHT: (C)1994, JPO&Japio

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-112447

(43)公開日 平成6年(1994)4月22日

(51)IntCl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/118		7377-4M	H 0 1 L 21/ 82	M

審査請求 有 発明の数1(全 6 頁)

(21)出願番号 特願平4-328589
(62)分割の表示 特願昭57-94197の分割
(22)出願日 昭和57年(1982)6月1日

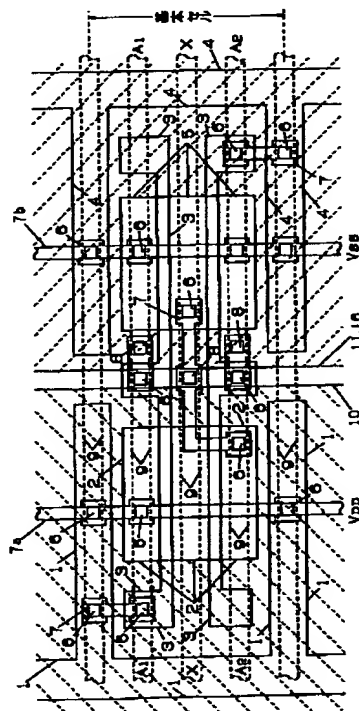
(71)出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72)発明者 水野 正雄
長野県諏訪市大和3丁目3番5号 株式会
社諏訪精工舎内
(72)発明者 日下 紳也
長野県諏訪市大和3丁目3番5号 株式会
社諏訪精工舎内
(74)代理人 弁理士 石井 康夫 (外1名)

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 CMOS半導体を用いたゲート・アレイにおいて基板上にマトリクス状に配置される基本セルの高集積化、高信頼化を図る。

【構成】 基板上にP型およびN型のソース・ドレイン領域2, 5が形成され、ポリシリコン3の交差部分はそれぞれPチャンネルおよびNチャンネルのMOSTランジスタを形成し、基本セル列が構成されている。基本セル列の上方には複数の配線層3, 7, 7a, 7b, 9が設けられ、その配線層の最下配線層をコンタクト孔6を介してソース・ドレイン領域2, 5およびゲート電極に接続される配線3に用いる。



【特許請求の範囲】

(1) 第1導電型の半導体基板に第1方向に列をなして形成される複数の基本セル列を有してなる半導体装置において、

前記基本セル列内の各基本セルは、前記半導体基板内の第1導電型の領域内に形成された第2導電型のソース・ドレイン領域、ゲート電極を有する第1のトランジスタと、前記半導体基板内の第2導電型の領域内に形成された第1導電型のソース・ドレイン領域、ゲート電極を有する第2のトランジスタとを前記第1方向と略直交する第2方向に隣接配置してなり、

前記基本セル列の上方には複数の配線層が設けられ、該複数の配線層の最下配線層をコンタクト孔を介して前記ソース・ドレイン領域および前記ゲート電極に接続される配線に用いることを特徴とする半導体装置。

(2) 複数の配線層の2層目の配線は、前記第2方向に配置され、前記最下配線層の配線に接続されてなることを特徴とする特許請求の範囲第1項に記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、CMOS（相補型MOS）半導体を用いたゲート・アレイにおいて、基板上にマトリクス状に配置される基本セルの構造に関するものである。

【0002】

【従来の技術】従来この種の装置は、図8に示すごとく、2のP型ソースドレイン領域、および、5のN型ソースドレイン領域に3のポリシリコン領域が横切る形となった基本セルを、半導体基板状にマトリクス状に配置していた。この場合、10はN型のチャンネルストップ領域、11はP型のチャンネルストップ領域、16はPウェルである。7、7a、7bは、1層目の金属配線であり、6は、金属配線と、ポリシリコンおよびP型、N型のソースドレイン領域とを結びつけるコンタクトである。

【0003】図8の金属配線で、7aはプラス側の電源ライン、7bはマイナス側の電源ラインである。中央のP型トランジスタは直列に、N型トランジスタは並列に、金属配線によって結びつけられている。

【0004】図4は、図8と等価なトランジスタ回路図である。この図からわかるように、図8は、2入力NORゲートを構成するように配線が行なわれたものである。

【0005】図8において、基本セルの上辺および下辺に横方向に走るポリシリコン3は、セル内を横切って信号を通過させるための信号線である。この信号線は、例えば、図5に示すセルAからの端子501と、セルBからの端子502とを結ぶ場合に、その間に配置されたセルBを横切るような使用方法に用いられる。従来技術

は、以上のような基本セルの構造が一般的であったために、以下のような問題点を有している。

【0006】① 図8の横方向に対して電気信号が通る場合、ポリシリコンの抵抗、および、ポリシリコンとP型またはN型のソース・ドレインとの容量によって、電気信号の伝播遅延時間を増加させるという欠点を有していた。このため基本セルをマトリクス状に配置する場合にも、その半導体装置が速い動作スピードを要求する場合には、その回路規模に制約を受けている。

② 例えば、特開昭54-93375号公報に記載されているように、複数の配線層の2層目以上の配線層をコンタクト孔を介してソース・ドレイン領域およびゲート電極に接続される配線に用いると、配線間の段差が大きくなり、断線の恐れがある。

【0007】

【発明が解決しようとする課題】本発明は、上述した事情に鑑みてなされたもので、基本セルを構成するMOSトランジスタ（FET）において、複数の配線層の最下配線層をコンタクト孔を介して前記ソース・ドレイン領域および前記ゲート電極に接続される配線に用いることにより、また、2層目以上の配線層に1層目の配線層を介在させることにより、配線間の段差を小さくし、2層目以上の配線の自由度を増加させて、より高集積、高信頼、高速にすることを実現しようとするものである。

【0008】

【課題を解決するための手段】本発明は、第1導電型の半導体基板に第1方向に列をなして形成される複数の基本セル列を有してなる半導体装置において、前記基本セル列内の各基本セルは、前記半導体基板内の第1導電型の領域内に形成された第2導電型のソース・ドレイン領域、ゲート電極を有する第1のトランジスタと、前記半導体基板内の第2導電型の領域内に形成された第1導電型のソース・ドレイン領域、ゲート電極を有する第2のトランジスタとを前記第1方向と略直交する第2方向に隣接配置してなり、前記基本セル列の上方には複数の配線層が設けられ、該複数の配線層の最下配線層をコンタクト孔を介して前記ソース・ドレイン領域および前記ゲート電極に接続される配線に用いることを特徴とするものである。複数の配線層の2層目の配線は、前記第2方向に配置され、前記最下配線層の配線に接続することができる。

【0009】

【作用】本発明によれば、基本セル列の上方には複数の配線層が設けられ、該複数の配線層の最下配線層をコンタクト孔を介して前記ソース・ドレイン領域または前記ゲート電極に接続される配線に用いることにより、配線間の段差を小さくでき、2層目以上の配線の自由度を増加させることができる。

【0010】

【実施例】図7は、本発明の基本セルの平面図であり、

3

2はP型のソース・ドレイン領域、5はN型のソース・ドレイン領域であり、3はポリシリコンである。ソース・ドレイン領域2および5と、ポリシリコン3の交差部分はそれぞれPチャンネルおよびNチャンネルのMOSトランジスタを形成している。1はN型の高不純物濃度領域であり、4はP型の高不純物濃度領域で、それぞれ、基本セルのP型のソース・ドレイン領域2およびN型のソース・ドレイン領域5を3方向からとり囲んでいる。10はN型の、11はP型のチャンネルストッパー領域、16はPウェルである。

【0011】図1は、図7の上に配線を行なった実施例であり、等価回路は、図4に示すように、2入力NORゲートを構成するように配線が行なわれたものである。7、7a、7bは1層目の金属配線、9は2層目の金属配線である。6は1層目の金属配線と、P型およびN型のソース・ドレイン領域、高不純物濃度領域、および、ゲート電極とを結びつけるコンタクトであり、8は1層目の金属配線と、2層目の金属配線を結びつけるスルーホールである。ソース・ドレイン領域、および、ゲート電極は、コンタクト孔を介して1層目の金属配線に接続されており、ソース・ドレイン領域、および、ゲート電極が直接2層目以上の配線に接続されることはないの

で、段差が大きい場合に発生する断線の心配はない。

【0012】この実施例では、2層の金属配線により2入力NORゲートが構成されており、入力端子A1はプラス電源線VDDに、入力端子A2はマイナス電源線VSSに接続されるが、1層目の金属配線7および基本セルをとり囲む高不純物濃度領域1または4を介して電源線に接続されている。したがって、高不純物濃度領域1、4は電源電位に接続されているから、各基板やウェルの電位変動を安定化させ、トランジスタの誤動作を防止して、動作の安定化を図ることができる。また、高不純物領域1、4の縦方向に図示した部分は、電源線と並行して配置されており、かつ、電源線に接続されていることにより、電源電流を分流している。

【0013】基本的にA1、A2の入力端子は、基本セルが左右対称であることから、電源線VDD、VSSの2つを任意に選択できる。

【0014】図2は、図1のPチャンネルトランジスタを電源線VDD方向に見た断面図であり、図3は、図1のNチャンネルトランジスタを電源線VSS方向に見た場合の断面図である。図中の符号で1〜11および16は図1と同じものを意味する。12は酸化膜、13はゲート酸化膜、14、15は金属配線を絶縁するための絶縁膜である。

【0015】図1で2層目の金属配線9のうち、基本セルの上下を横方向に走る金属配線は、図8の基本セルで説明した横方向に走るポリシリコンの配線に相当するものである。また、図1の実施例では、横方向に走る電気信号は、すべて2層目の金属配線を用いている。

4

【0016】図8に示す従来の基本セルは、入力端子を電源ラインに落として使用する（これは一般には、たとえば10入力のNANDゲート回路の1つの端子をプラス電源に落として9入力のNANDゲートとして使用する場合である。これを行なうことにより基本セル上に配線によって作る論理機能ブロックの種類を少なくすることができ、機能ブロックのライブラリー管理を容易にすることができる）場合に、基本セル上に配線した論理機能ブロック（2入力NORゲート）をブラックボックスとして取り扱う、図6のような取り扱いが困難となり、入力端子の処理をブラックボックスの外で行なうことができなくなる。つまり基本セル上の配線をブラックボックス化できなかった。また、図8の横方向に対して電気信号が通る場合、ポリシリコンの抵抗、および、ポリシリコンとP型またはN型のソース・ドレインとの容量によって、電気信号の伝播遅延時間を増加させるという欠点を有していた。

【0017】これに対して、実施例では、上述したような構造になっているため、図8に示す従来の基本セルのように、電気信号が横方向に通過する場合でも、ポリシリコンをP型およびN型のソースドレイン領域に通過させた時に生ずる抵抗、容量による回路特性上の不利な信号の遅れを少なくすることができる。

【0018】電源ラインについては、図1の実施例では、1層目の金属配線と並列にプラス側はN型高不純物濃度領域1を、マイナス側はP型高不純物濃度領域4を持っているため、電源電流は、この領域を使ってバイパスさせることもできる。このようにしたので、電源用の1層目の金属配線は、従来のように一般の信号ラインと同じでよく、信号ラインよりも大きくする必要はない。したがって、集積度を、より向上させることができる。

【0019】さらに、基本セルの上および下に横方向につきぬける2層目の金属配線の下で、1層目の電源ラインを、高濃度不純物領域1、4に接続することができるため、換言すれば、基板に、基本セル単位で電源線に接続することができるため、各基本セル内のMOSTランジスタの基板電位の安定化、およびCMOS特有のラッチアップ対策が可能となり、ICをより高信頼化することができる。

【0020】次に、入力端子の処理について述べると、図1の基本セルは、図6に示すように基本セル上に作成した論理回路の、ブラックボックス化が可能な構造になっている。図1に示す実際のパターンをシンボル化すると、入力端子の処理をブラックボックスの外側で行なっていることがわかる。そしてこの外側の領域を配線領域と考えることによって、IC全体の配線作業を、このブラックボックス間の結線作業に置き替えることが可能となる。

【0021】

【発明の効果】以上の説明から明らかなように、本発明

5

によれば、半導体基板に一方向に列をなして形成される基本セル列を有する半導体装置において、基本セル列上方に複数の配線層を設け、その最下配線層をコンタクト孔を介して基本セル内のトランジスタのソース・ドレイン領域及びゲート電極に接続される配線に用いることにより、配線の段差が小さくなって断線の心配がなくなり、高集積、高信頼性の半導体装置を提供できる。また、ソース・ドレイン領域間を接続する配線を最下配線層上により形成することができるので、基本セル上の最下配線に信号配線を自由に配置することができる。例

【図面の簡単な説明】

【図1】本発明の半導体装置の一実施例の基本セル上に配線を施した平面図である。

【図2】図1の電源線VDDに沿う断面図である。

【図3】図1の電源線VSSに沿う断面図である。

【図4】図1および図8の構成素子の接続方法を示す等価回路図である。

20

6

【図5】配線がセルの中を横方向に通過する場合の説明図である。

【図6】図1の平面図をシンボル図にした説明図である。

【図7】本発明の半導体装置の基本セルの一実施例の平面図である。

【図8】従来の半導体装置の平面図である。

【符号の説明】

1, 4 高不純物濃度領域

2, 5 ソース・ドレイン領域

3 ポリシリコン

6 コンタクト

7, 7a, 7b 1層目の金属配線

8 スルーホール

9 2層目の金属配線

10, 11 チャンネルストッパー

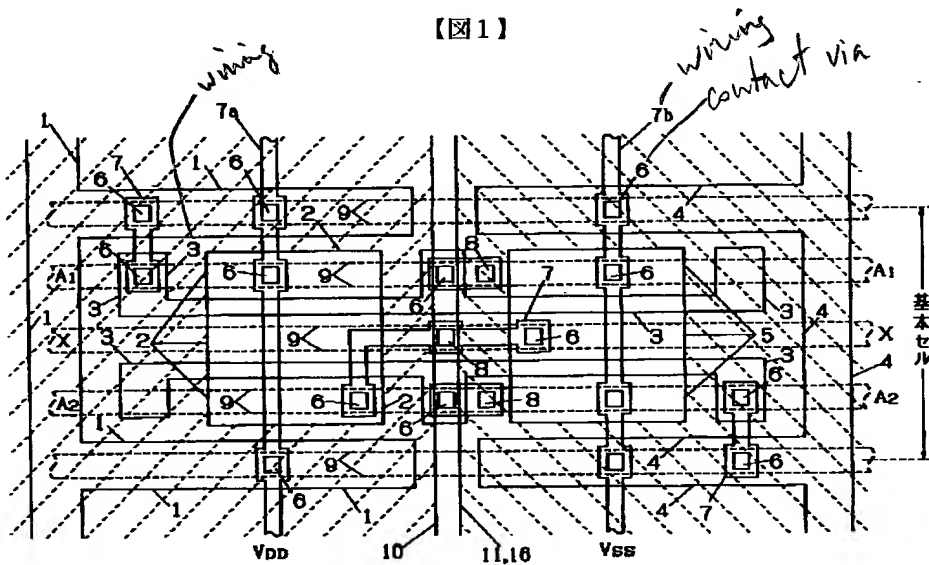
12 酸化膜

13 ゲート酸化膜

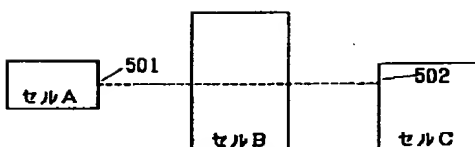
14, 15 絶縁膜

16 ウェル

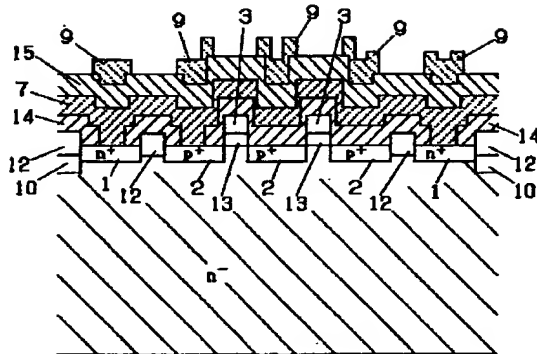
【図1】



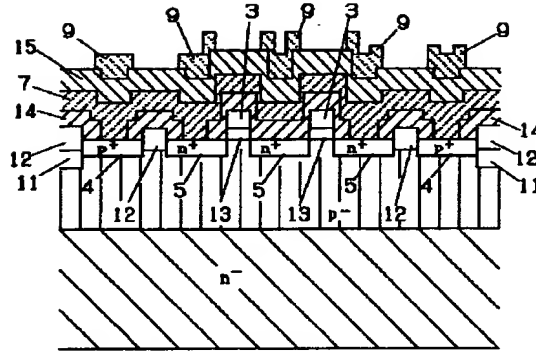
【図5】



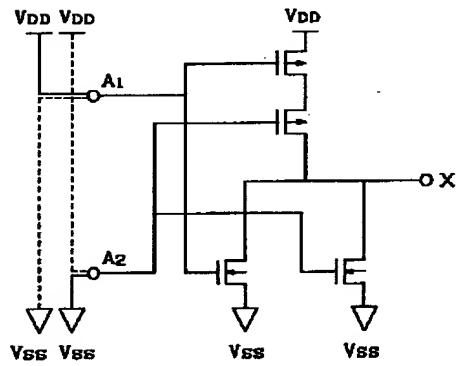
【図2】



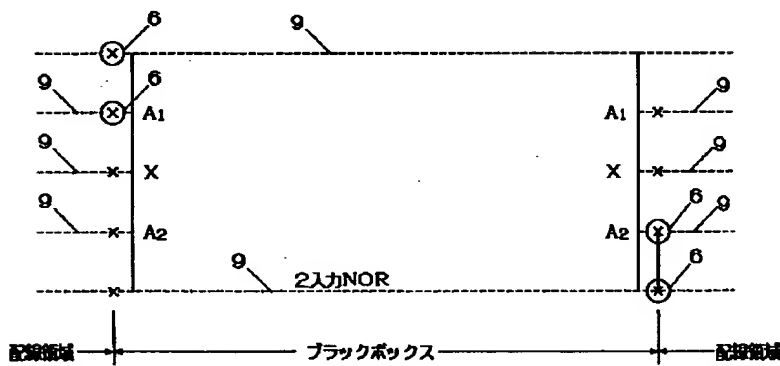
【図3】



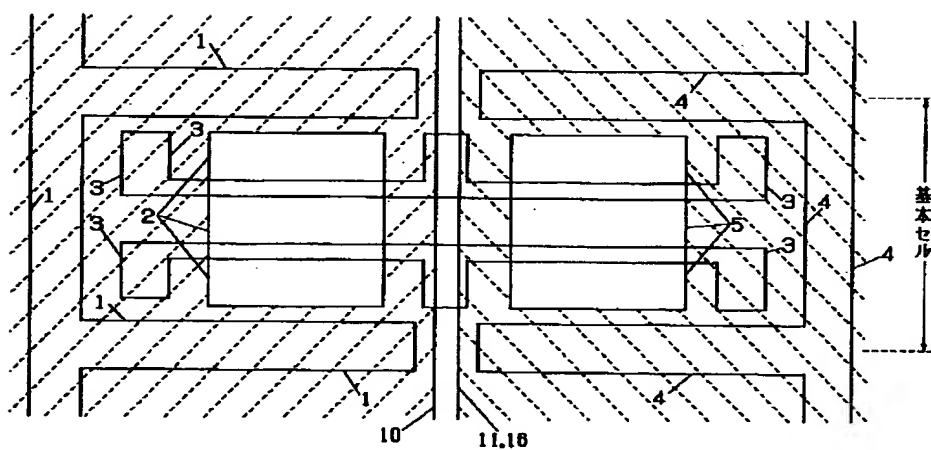
【図4】



【図6】



【図7】



【図8】

